

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017028

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H01L 21/8244

H01L 27/11

H01L 21/8238

H01L 27/092

(21)Application number : 09-171517

(71)Applicant : SONY CORP

(22)Date of filing : 27.06.1997

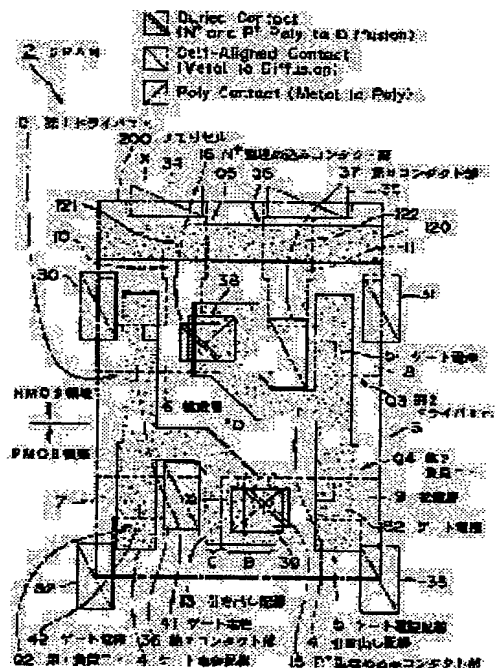
(72)Inventor : MANO MICHIO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To realize an SRAM which allows the cell area to be reduced and provides a stable self-aligned contacts.

SOLUTION: SRAM 2 comprises a first and a second inverters composed of an NMOS and a PMOS which constitute flip flops in a memory cell 200 and n-type gate electrode wirings 4, 5 where NMOS gate electrodes 41, 42 and PMOS gate electrodes 51, 52 are continuous. A lead-out wiring 13 from the wiring 4 of the first inverter is connected to a p-type diffused layer 9 to be a second load Tr, Q4 of the second inverter through a p+ type buried contact part 15. Further, the leading wiring 13 has a p-type conductive film on this part 15, and seventh n-type self-aligned contact part 36 is formed near the lead-out wiring 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

JP,11-017028,A

* NOTICES *

5 Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

10

CLAIMS

15 [Claim(s)]

[Claim 1] While the flip-flop which becomes a semiconductor substrate in a memory cell from the inverter of a couple is formed and each aforementioned inverter consists of a field-effect transistor of an N channel, and a field-effect transistor of a P channel It is what was formed with the gate electrode wiring of N type with which the gate electrode
20 of the field-effect transistor of the aforementioned N channel and the gate electrode of the field-effect transistor of the aforementioned P channel continued. The diffusion layer of the field-effect transistor which extended from gate electrode wiring of the field-effect transistor which constitutes one inverter among the inverters of the aforementioned couple and which pulls out and constitutes the inverter of wiring and
25 another side It comes to connect through the embedding contact section which is formed in the aforementioned semiconductor substrate and has the same conductivity type as the aforementioned diffusion layer. In the semiconductor memory which it

comes to form in the state where the self-adjustment type contact section demarcated by this drawer wiring connects with the aforementioned semiconductor substrate near the aforementioned drawer wiring The drawer wiring connected to the diffusion layer of the N type of the aforementioned diffusion layers through the N type embedding contact section The drawer wiring which is formed by the electric conduction film of N type, and is connected to the diffusion layer of the P type of the aforementioned diffusion layers through the P type embedding contact section The semiconductor memory characterized by forming the self-adjustment type contact section side near [this] the drawer wiring by the electric conduction film of N type while the aforementioned P type embedding contact section top is formed by the electric conduction film of P type.

[Claim 2] The aforementioned gate electrode wiring and the aforementioned drawer wiring are formed by the electric conduction film which contains a polysilicon contest layer at least. The drawer wiring connected to the diffusion layer of the aforementioned P type through the P type embedding contact section While consisting of that into which the impurity whose polysilicon contest layer on the P type embedding contact section is P type was introduced The semiconductor memory according to claim 1 characterized by the bird clapper from that into which the impurity whose polysilicon contest layer by the side of the self-adjustment type contact section near [this] the drawer wiring is N type was introduced.

DETAILED DESCRIPTION

[Detailed Description of the Invention] [0001]

[The technical field to which invention belongs] Especially this invention relates to the static RAM (it is hereafter described as SRAM) by which the memory cell was constituted from six field-effect transistors (it is hereafter described as MOS) about a semiconductor memory.

5 [0002]

[Description of the Prior Art] Conventionally, the full CMOS (complementary MOS) type set to SRAM by which the memory cell consisted of six MOSs from four N channel MOSs (it is hereafter described as NMOS) and two P channel MOSes (it is hereafter described as PMOS) is known. Drawing 6 is the circuit diagram of general full CMOS type SRAM. Moreover, drawing 7 is the plan showing an example of the structure of the memory cell of full CMOS type SRAM, and has shown only the formation position of an isolation field (portion surrounded with the dashed line and the two-dot chain line), a layer [1st] polysilicon contest (it is hereafter described as 1st Poly-Si) layer (dot portion), and each contact section. Moreover, drawing 8 is Y-Y1 in drawing 7 . It is a line view cross section and illustration of a diffusion layer is omitted.

[0003] As shown in drawing 6 - drawing 8 , in this SRAM, the 1st inverter 101 and the 2nd inverter 102 are formed in the semiconductor substrate 71 in the field of a memory cell 70. the 1st which consists of 1st driver transistors (a transistor is hereafter described as Tr.) Q1 and PMOS by which the 1st inverter 101 is constituted from an NMOS -- from load Tr.Q2 -- becoming -- the 1st -- driver Tr.Q1 and the 1st -- it is formed by a part of gate electrode wiring 72 with which each gate electrode 721,722 of load Tr.Q2 continued 2nd driver Tr. by which similarly the 2nd inverter 102 was also constituted from an NMOS -- the 2nd which consisted of Q3 and a PMOS -- from load Tr.Q4 -- becoming -- the 2nd -- driver Tr.Q3 and the 2nd -- it is formed by a part of gate electrode wiring 73 with which each gate electrode 731,732 of load Tr.Q4 continued

[0004] The 1st and the 2nd inverter 101,102 are connected so that the so-called

flip-flop 100 with which one [these] input turns into an output of another side may be formed. that is, it extended from the gate electrode wiring 72 of the 1st inverter 101 -- pulling out -- wiring 74 and the 2nd -- the diffusion layer 75 of the P type of load Tr.Q4 was connected, and it extended from the gate electrode wiring 73 of the 2nd inverter 102 -- pulling out -- wiring 76 and the 1st -- the diffusion layer 77 of the N type of driver Tr.Q1 is connected moreover, the 1st which becomes a flip-flop 100 from NMOS -- word Tr.Q5 and the 2nd -- word Tr.Q6 are connected the 1st and the 2nd -- word Tr.Q5 and Q6 are connected to the bit line 110 while the gate electrode 121,122 consists of a part of word lines 120, respectively

[0005] Here, each gate electrode wiring 72 and 73, each drawer wiring 74 and 76, and a word line 120 consist of a tungsten polycide (it is hereafter described as W-polycide) by which the laminating of the 1st Poly-Si layer 78, the 2nd Poly-Si layer 79, and the tungsten silicide (WSix) layer 80 was carried out to this order, as shown in drawing 8 . Moreover, W-polycide is covered, the silicon-oxide film 81 is formed, and the flattening film 83 is formed through the silicon nitride film 82 on the silicon-oxide film 81.

[0006] By the way, generally the refractory-metal silicide layer which silicide-ized the Poly-Si layer doped by N type, this Poly-Si layer, and the high-melting point metal membrane, and obtained them is used as gate electrode wiring which constitutes a gate electrode. Therefore, since a PN junction was formed when the direct file of gate electrode wiring and the diffusion layer of P type is carried out, contact was not able to be directly taken from gate electrode wiring to the diffusion layer of P type.

[0007] Then, in the former, as shown in drawing 7 and drawing 8 , while carrying out opening of the flattening film 83, a silicon nitride film 82, and the silicon-oxide film 81, pulling them out and reaching wiring 74 and 75, one division contact hole 84a which pulls out further, carries out opening of the wiring 74 and 75, and reaches the diffusion layer of P type is formed. And while embedding the inside of this contact hole 84a by electric conduction films, such as aluminum (aluminum) and an embedding tungsten

(blanket tungsten; Blk W), and forming the division contact section 84, connection between the gate electrode wiring 72 and the diffusion layer 75 of P type is made by forming the partial wiring 85 on the flattening film 83.

[0008] Moreover, in the conventional SRAM, in order to attain reduction-ization of cell area, much self-adjustment type contact sections very effective in this reduction-izing are adopted as an object for connection with the diffusion layer of a semiconductor substrate. For example, the contact hole which the eight self-adjustment type contact sections 87 are adopted, and constitutes the self-adjustment type contact section 87 from SRAM shown in drawing 7 and drawing 8 is formed in the self-adjustment target by demarcating with the gate electrode wiring 72 and 73 and the drawer wiring 74 and 76 which are shown in drawing 7 and drawing 8 .

[0009]

[Problem(s) to be Solved by the Invention] However, it needs to enlarge the path of a contact hole in order to have to make a gate electrode and the diffusion layer of P type face outside by the same division contact hole, although the connection method of the gate electrode which forms the above-mentioned division contact section, and the diffusion layer of P type is simple in process. Therefore, this connection method tends to cause increase of cell area.

[0010] It is indispensable to, use the gate electrode to which the conductivity type of P type was given on the other hand, in order to take contact from a gate electrode to the diffusion layer of P type directly. However, since etching processing with the highly precise Poly-Si film of P type is a difficult film when giving the electric conduction film of P type to the Poly-Si film generally used and considering as a gate electrode, following un-arranging arise.

[0011] For example, it is P+ by etching which used the pattern 91 of a silicon-oxide film as the mask as shown in drawing 9 . Type and N+ It is N+ when the Poly-Si films 92a and 92b of type are formed in the pattern of a gate electrode. It compares with Poly-Si

film 92b of type, and is P+. The side attachment wall of the gate electrode which consists of Poly-Si film 92a of type is easy to be processed in the shape of a taper. Therefore, in case it forms in a self-adjustment target by demarcating the contact hole for the self-adjustment type contact sections by the gate electrode, un-arranging [of
5 the area of base of a contact hole decreasing and inviting elevation of contact resistance and a pressure-proof defect] occurs. Therefore, it is anxious for development of SRAM which can solve the above-mentioned technical problem.

[0012]

[Means for Solving the Problem] Then, in order to solve the above-mentioned technical
10 problem, the flip-flop with which this invention becomes a semiconductor substrate in a memory cell from the inverter of a couple is formed. While each inverter consists of electric field effect Tr. (NMOS) of an N channel, and electric field effect Tr. (PMOS) of a P channel It is what was formed with the gate electrode wiring of N type with which the gate electrode of NMOS and the gate electrode of PMOS continued. The diffusion
15 layer of MOS which extended from gate electrode wiring of MOS which constitutes one inverter among the inverters of a couple and which pulls out and constitutes the inverter of wiring and another side It comes to connect through the embedding contact section which is formed in a semiconductor substrate and has the same conductivity type as the diffusion layer. In the semiconductor memory which it comes to form in the
20 state where the self-adjustment type contact section demarcated by this drawer wiring connects with a semiconductor substrate near the drawer wiring The drawer wiring connected to the diffusion layer of the N type of the above-mentioned diffusion layers through the N type embedding contact section The drawer wiring which is formed by the electric conduction film of N type, and is connected to the diffusion layer of the P
25 type of the diffusion layers through the P type embedding contact section While the P type embedding contact section top is formed by the electric conduction film of P type, it has the composition that the self-adjustment type contact section side near [this]

the drawer wiring is formed by the electric conduction film of N type.

[0013] In this invention, since the drawer wiring on the P type embedding contact section is formed by the electric conduction film of P type, a PN junction is not formed in a part for the connection of drawer wiring and the diffusion layer of P type. Moreover, since connection between gate electrode wiring of MOS which constitutes one inverter, and the diffusion layer of MOS which constitutes the inverter of another side is made through the embedding contact section, the large division contact hole of a path like before becomes unnecessary. Moreover, gate electrode wiring is N type, and since the self-adjustment type contact section side is formed by the electric conduction film of N type, as for the drawer wiring with which the P type embedding contact section top is formed by the electric conduction film of P type, it is prevented that those side attachment walls are formed in the shape of a taper in etching processing of gate electrode wiring and drawer wiring. therefore, when forming the contact hole for the above-mentioned self-adjustment type contact sections in the state where it demarcated with drawer wiring, the contact hole of about 1 μ m is obtained for the size of a path over the vertical direction

[0014]

[Embodiments of the Invention] Hereafter, the operation gestalt of the semiconductor memory of this invention is explained based on a drawing. The semiconductor memory concerning an operation gestalt consists of full CMOS type SRAM, and has general circuitry shown in drawing 6 mentioned above. that is, the 1st connected to the flip-flop 100 which consists of an inverter of the couple of the 1st inverter 101 and the 2nd inverter 102 in a memory cell 200, and the flip-flop 100 — word Tr.Q5 and the 2nd — it has word Tr.Q6 1st driver Tr. which the 1st inverter 101 becomes from NMOS — 1st load Tr. which consists of Q1 and a PMOS — what consists of Q2 and CMOS — it is — the 1st — the diffusion layer of driver Tr.Q1, and the 1st — the diffusion layer of load Tr.Q2 is connected moreover, 2nd driver Tr. which the 2nd inverter 102 becomes

from NMOS -- 2nd load Tr. which consists of Q3 and a PMOS -- from Q4 and CMOS -- becoming -- the 2nd -- the diffusion layer of driver Tr.Q3, and the 2nd -- the diffusion layer of load Tr.Q4 is connected

[0015] the 1st -- driver Tr.Q1 and the 1st -- the gate electrode wiring which connects each gate electrode of load Tr.Q2 -- the 2nd of the 2nd inverter 102 -- it connects with the diffusion layer of load Tr.Q4 moreover, the 2nd -- driver Tr.Q3 and the 2nd -- the gate electrode wiring which connects each gate electrode of load Tr.Q4 -- the 1st of the 1st inverter 101 -- it connects with the diffusion layer of driver Tr.Q1 further -- the 1st -- the diffusion layer of driver Tr.Q1, and the 2nd -- the diffusion layer of driver Tr.Q3 connects with a Vss line (grounding conductor), respectively -- having -- moreover, the 1st -- the diffusion layer of load Tr.Q2, and the 2nd -- the diffusion layer of load Tr.Q4 is connected to the Vdd line (power supply line), respectively

[0016] on the other hand -- the 1st -- word Tr.Q5 -- the diffusion layer of one of these, and the 1st -- the diffusion layer of driver Tr.Q1 connects -- having -- the 2nd -- word Tr.Q6 -- the diffusion layer of one of these, and the 2nd -- the diffusion layer of driver Tr.Q3 is connected moreover, the 1st -- word Tr.Q5 and the 2nd -- the diffusion layer of each another side of word Tr.Q6 is connected to a bit line 110 -- having -- the 1st -- word Tr.Q5 and the 2nd -- each gate electrode of word Tr.Q6 is connected to the word line 120

[0017] The memory cell of full CMOS type SRAM of this operation gestalt which makes the above-mentioned circuitry is the plan of drawing 1 , and X-X1 of drawing 1 . It has the structure shown in drawing 2 which is a line view cross section. Drawing 1 has shown only the formation position of an isolation field (portion surrounded with the dashed line and the two-dot chain line), a layer [1st] Poly-Si layer (dot portion), and the contact section on account of explanation here, and illustration of diffusion layers other than the embedding contact section mentioned later is omitted in drawing 2 . Moreover, the two-dot chain line in drawing 1 shows the visible outline of a memory

cell.

[0018] the conventional example which showed the fundamental layout of SRAM2 of this operation gestalt to drawing 7 as shown in drawing 1 , and abbreviation -- it is the same namely, the 1st of the above [substrate / semiconductor / 3 / in which the isolation film 24 in the field of a memory cell 200 was formed] -- driver Tr.Q1 and the 1st -- load Tr.Q2 and the 2nd -- driver Tr.Q3 and the 2nd -- load Tr.Q4 are prepared in four corners of the rectangle centering on Point O the 1st -- driver Tr.Q1 and the 1st -- each gate electrodes 41 and 42 of load Tr.Q2 are formed by a part of gate electrode wiring 4 of the shape of a continuous straight line -- having -- **** -- the 2nd -- driver Tr.Q3 and the 2nd -- the gate electrodes 51 and 52 of load Tr.Q4 are also formed by a part of gate electrode wiring 5 of the shape of a continuous straight line These gates electrode wiring 4 and 5 is arranged symmetrically on the semiconductor substrate 3 focusing on Point O.

[0019] moreover -- the semiconductor substrate 3 -- the 1st -- the 1st of driver Tr.Q1 -- load Tr.Q2 and an opposite side -- the 1st -- while word Tr.Q5 are formed -- the 2nd -- the 2nd of driver Tr.Q3 -- load Tr.Q4 and an opposite side -- the 2nd -- word Tr.Q6 are formed and these [1st] and the 2nd -- each gate electrode 121,122 of word Tr.Q5 and Q6 consists of a part of word lines 120 prepared in the abbreviation right angle to the length direction of each gate electrode wiring 4 and 5

[0020] moreover -- the semiconductor substrate 3 -- the 1st -- the diffusion layer 6 of N type used as a source drain forms in the both-sides position of the gate electrode 41 of driver Tr.Q1 -- having -- the 1st -- the diffusion layer 7 of P type used as a source drain is formed in the both-sides position of the gate electrode 42 of the semiconductor substrate 3 in the formation field of load Tr.Q2 the same -- the 2nd -- the both-sides position of the gate electrode 51 of driver Tr.Q3 -- the N type diffusion layer 8 -- the 2nd -- the diffusion layer 9 of P type is formed in the both-sides position of the gate electrode 52 of load Tr.Q4 furthermore, the 1st -- the both-sides

position of the gate electrode 121 of word Tr.Q5, and the 2nd -- the diffusion layers 10 and 11 of N type are formed in the both-sides position of the gate electrode 122 of word Tr.Q6, respectively

[0021] in this case, the 1st -- the diffusion layer 6 by the side of Q2nd driver Tr.3 in driver Tr.Q1, and the 1st -- the diffusion layer 10 by the side of Q1st driver Tr.1 in word Tr.Q5 is formed so that it may connect mutually moreover, the 2nd -- the diffusion layer 8 by the side of Q1st driver Tr.1 in driver Tr.Q3, and the 2nd -- the diffusion layer 11 by the side of Q2nd driver Tr.3 in word Tr.Q6 is formed so that it may connect mutually

[0022] the 2nd from the gate electrode wiring 4 -- it pulls out towards the diffusion layer 9 formed in the 1st load Tr.Q2 side of load Tr.Q4, and wiring 13 is prolonged and is formed moreover -- from the 2nd inverter 102 -- the 1st -- it pulls out towards the diffusion layer 6 formed in the 2nd driver Tr.Q3 side of driver Tr.Q1, and wiring 14 is prolonged and is formed Extension formation is carried out for example, at the letter of the plane view abbreviation for L characters, and these drawers wiring 13 and 14 is arranged symmetrically on the semiconductor substrate 3 focusing on Point O.

[0023] And at this operation gestalt, the drawer wiring 13 is the diffusion layer 9 of P type, and P+. While connecting through the type embedding contact section (Buried Contact) 15, the drawer wiring 14 is the diffusion layer 6 of N type, and N+. It connects through the type embedding contact section 16. At this time, it sets to the drawer wiring 13 and is P+. The portion shown by B among drawing 1 on the type embedding contact section 15 is P+. It is formed by the electric conduction film of type. Moreover, it sets to the drawer wiring 13 and parts other than B portion are N+. It is formed by the electric conduction film of type. Here, the self-adjustment type 7th contact section 36 which pulled out and was demarcated by this drawer wiring 13 and the gate electrode wiring 4 near the wiring 13 so that it might mention later is formed in the state of connecting with the diffusion layer 7 of the semiconductor substrate 3.

Therefore, the drawer wiring 13 is in the state where the portion shown all over [C] drawing which is the side which demarcates this 7th contact section 36 was formed by the N+ type electric conduction film.

[0024] In addition, each gate electrode wiring 4 and 5, each drawer wiring 13 and 14, and a word line 120 are WSi_x formed for example, on the 1st Poly-Si layer 17 formed on the semiconductor substrate 3 as shown in drawing 2, the 2nd Poly-Si layer 18 formed in this upper layer, and the 2nd Poly-Si layer 18. It is formed by W-polycide which consists of a layer 19. Therefore, P+ It reaches 1st Poly-Si layer 17, a P type impurity is doped by the 2nd Poly-Si layer 18, and the drawer wiring 13 in B portion on the type embedding contact section 15 is P+. It consists of W-polycides used as type. Moreover, the gate oxide film 23 is infixed between the 1st Poly-Si layers 17 and the semiconductor substrates 3 in the formation position of each gate electrodes 41, 42, 51, and 52, 121, 122.

[0025] On the other hand, it reaches 1st Poly-Si layer 17, an N type impurity is doped by the 2nd Poly-Si layer 18, and the drawer wiring [of parts other than B portion] 13 and drawer wiring 14 whole, the gate electrode wiring 4 and 5, and a word line 120 are N+. It consists of W-polycides used as type. therefore, the 1st which constitutes the memory cell 200 of SRAM2 and the 2nd — driver Tr.Q1, Q3, the 1st, and the 2nd — load Tr.Q2, Q4, the 1st, and the 2nd — word Tr.Q5 and Q6 — each — the gate electrodes 41, 42, 51, and 52, 121, 122 — N+ It is type. therefore, the 1st and the 2nd — driver Tr.Q1, Q3 and the 1st, and the 2nd — NMOS of a surface channel type [6 / Q/ word Tr.Q5 and], the 1st, and 2nd load Tr. are embedding channel type PMOS

[0026] Moreover, as shown on the semiconductor substrate 3 in which W-polycide was formed as usual at drawing 2, the silicon-oxide film 20 is formed in the wrap state in this W-polycide. Furthermore, the silicon-oxide film 20 is covered, a silicon nitride film 21 is formed, and the flattening film 22 which consists of a boron-phosphorus glass (BPSG) film is formed in this upper layer. and on the flattening film 22, a silicon nitride

film 21, and the silicon-oxide film 20 Two or more contact holes (illustration abbreviation) are formed, and electric conduction films later mentioned inside each contact hole, such as aluminum for the partial wiring 40 and W, are embedded. The 7th octavus for constituting the 5th the 3rd the 1st for Vss lines, the 2nd contact sections 5 30 and 31, and for Vdd lines, the 4th contact sections 32 and 33, and for bit line 110, the 6th contact sections 34 and 35, and a flip-flop, the 9th, the 10th contact sections 36, 37, and 38, 39 is formed.

[0027] The 1st - the 6th contact sections 30-35 are formed in the position of the visible outline of a memory cell 200. and the 1st contact section 30 -- the 1st -- it is 10 prepared so that it may connect with the diffusion layer 6 of driver Tr.Q1 moreover, the 2nd contact section 31 is symmetrically formed on both sides of the 1st contact section 30 and the gate electrode wiring 4 and 5 -- having -- **** -- the 2nd -- it is formed so that it may connect with the diffusion layer 8 of driver Tr.Q2 further -- the 3rd contact section 32 -- the 1st -- the diffusion layer 7 of load Tr.Q2 -- connecting 15 -- the 4th contact section 33 -- the 2nd -- it is formed so that it may connect with the diffusion layer 9 of load Tr.Q4 The 3rd and the 4th contact sections 32 and 33 are symmetrically formed with the 1st and the 2nd contact sections 30 and 31 focusing on Point O, respectively.

[0028] the 5th contact section 34 for bit line 110 -- the 1st -- it forms so that it may 20 connect with the diffusion layer 10 of word Tr.Q5 -- having -- the 6th contact section 35 -- the 2nd -- it is formed so that it may connect with the diffusion layer 11 of word Tr.Q6 These [5th] and the 6th contact sections 34 and 35 open an interval, and are installed.

[0029] Moreover, the 7th contact section 36 is the diffusion layer 9 of P type, and P+. 25 P+ connected through the type embedding contact section 15 It is prepared near the drawer wiring 13 of type. that is, the 7th contact section 36 is formed in the position surrounded with the gate electrode wiring 4 and this drawer wiring 13 of the 1st inverter

101 -- having -- **** -- the 1st -- it is formed so that it may connect with the diffusion layer 7 of load Tr.Q2 the octavus contact section 37 is similarly formed in the position surrounded with the gate electrode wiring 5 and this drawer wiring 14 of the 2nd inverter 102 -- having -- **** -- the 1st -- it is formed so that it may connect
5 with the diffusion layer 6 of driver Tr.Q3 The 7th and the octavus contact sections 36 and 37 are symmetrically arranged focusing on Point O.

[0030] on the other hand -- the 9th contact section 38 -- the drawer electrode 13 and the 1st -- it is prepared in the position with which the diffusion layer 6 of driver Tr.Q1 laps, and is formed in the state of connecting with the drawer electrode 13 the same --
10 the 10th contact section 39 -- the drawer electrode 14 and the 2nd -- it is prepared in the position with which the diffusion layer 9 of load Tr.Q4 laps, and is formed in the state of connecting with the drawer electrode 14

[0031] Here, the contact hole which constitutes the above-mentioned 1st - the 8th contact sections 30-37 was formed in the self-adjustment target with this operation
15 form of etching which used as the etching prevention film the silicon nitride film 21 mentioned above. Therefore, the 1st - the 8th contact sections 30-37 are the self-adjustment type contact section (Self-Aligned Contact) linked to diffusion layers 6-11, respectively. It has become. Moreover, the 9th and the 10th contact sections 38 and 39 are the contact section (Poly Conact) linked to the 1st Poly-Si layers 17 and 18
20 of the drawer electrodes 13 and 14.

[0032] While forming the 1st - the 10th contact sections 30-39 on the flattening film 22, the partial wiring 40 which connects the predetermined things of these [1st] - the 10th contact sections 30-39 is formed, and the flip-flop 100 is constituted. Moreover, the Vss line and the Vdd line are formed by the partial wiring 40.

25 [0033] Furthermore, on the flattening film 22, as the partial wiring 40 is covered, the layer insulation film 41 is formed. While the contact hole for bit lines (illustration abbreviation) is formed, the inside of these contact holes is embedded on the layer

insulation film 41 and the bit line contact sections 42 and 43 are formed in the right above position of the 5th and the 6th contact sections 34 and 35 with electric conduction films, such as W and aluminum, at it, respectively, the bit line 110 is formed on the layer insulation film 41.

5 [0034] Next, an example of the manufacture method of SRAM2 which has the above-mentioned structure is explained using drawing 1 - drawing 5 . it is first shown in drawing 1 and drawing 2 -- as -- general isolation technology -- the 1st -- DOIRABA Tr.Q1 and the 1st -- load Tr.Q2 and the 2nd -- DOIRABA Tr.Q3 and the 2nd -- load Tr.Q4 and the 1st -- word Tr.Q5 and the 6th -- as the formation field of word Tr.Q6 is
10 surrounded, the isolation film 24 is formed in the semiconductor substrate 3 In addition, in drawing 1 , the portion surrounded with the dashed line which shows the two-dot chain line which is a visible outline of a memory cell 200, and diffusion layers 6-11 turns into a formation portion of the isolation film 24. moreover, various kinds required for formation of NMOS and PMOS -- the ion implantation for adjustment of the ion
15 implantation for forming the ion implantation for forming a well and a channel stop and Vth etc. is performed

[0035] subsequently, every surrounded, the front face 24, i.e., the isolation film, of the semiconductor substrate 3 exposed by the known method, -- the gate oxide film 23 is formed in the formation field of Tr.Q1-Q6, and the 1st Poly-Si film 17 with a thickness
20 of dozens of nm is continuously deposited all over the semiconductor substrate 3 by the chemical vapor-growth method (it is hereafter described as CVD) Subsequently, P+ [in / the 1st Poly-Si film 17 / by lithography technology (a resist application, exposure, development, baking, etc.) and etching] The type embedding contact section 15 and N+ Opening (illustration abbreviation) is formed on the formation position of the type
25 embedding contact section 16. Consequently, the semiconductor substrate 3 is exposed to the pars basilaris ossis occipitalis of opening.

[0036] Next, for example by CVD, it reaches in the above-mentioned opening and the

2nd Poly-Si layer 18 with a thickness of dozens of nm is deposited on the 1st Poly-Si layer 17. Then, it is the position which pulls out as shown in drawing 1 , drawing 2 , and drawing 3 , and forms wiring 13 with ion-implantation, and is P+. It is a P type impurity only to the 1st of B portion which it is on the type embedding contact section 15, and the 2nd Poly-Si layers 17 and 18 P+ It dopes. Moreover, it is an N type impurity to the 1st of the whole field other than this, and the 2nd Poly-Si layers 17 and 18 N+ It dopes. Consequently, P+ It sets in the formation position of the drawer wiring 13 linked to the type embedding contact section 15, and C portion by the side of the this about 13 drawer wiring self-adjustment type 7th contact section 36 is also N+. It will be doped.

[0037] Subsequently, as shown in drawing 2 , it is WSix on the 2nd Poly-Si layer 18. A layer 19 is deposited and it is WSix. In order to form the self-adjustment type contact section on a layer 19, the silicon-oxide film 20 is deposited and W-polycide with silicon-oxide film 20 is formed. Then, it heat-treats and the 1st, the 2nd Poly-Si film 17, and the impurity doped in 18 are activated. RTA (Rapid Thermal Annealing) of the conditions for 1000 degrees C and about 10 seconds performs the above-mentioned heat treatment. With this heat treatment, N type and a P type impurity are spread from the 2nd Poly-Si layer 18 formed in opening to the semiconductor substrate 3, respectively.

[0038] Next, the gate electrode wiring 4 and 5, the drawer wiring 13 and 14, and a word line 120 are formed by carrying out patterning of the W-polycide by etching. Thus, at the same process, it pulls out with the gate electrode wiring 4 and 5, and wiring 13 and 14 is formed.

[0039] in addition, the P type impurity in a previous ion-implantation process and an N type impurity -- having good control of striking a ball in any direction -- it is shown in drawing 3 -- as -- pulling out -- wiring 13 -- P+ the 1st of B portion on the type embedding contact section 15, and the 2nd Poly-Si layers 17 and 18 -- P+ It is a type field (hatching shows among drawing 3). Moreover, the drawer wiring 13 of portions

other than this, the drawer wiring 14, the gate electrode wiring 4 and 5, and a word line 120 are N+. It is a type field (a dot shows among drawing 3). Therefore, it pulls out, and wiring 13 and the gate electrode wiring 4 do not have a side attachment wall by the side of the 7th contact section 37 which demarcates the self-adjustment type 7th contact section 37 in the shape of a taper with a bird clapper, and are formed. Similarly, the drawer wiring 14, the gate electrode wiring 4 and 5, and the word line 120 which demarcate self-adjustment type the 1st – the other 6th contact sections 30–35, and the other octavus contact section 37 do not have a side attachment wall in the shape of a taper with a bird clapper, either, and are formed.

[0040] Then, while doping an N type impurity to the formation field of NMOS of the semiconductor substrate 3 and forming the LDD (Lightly Doped Drain) field (illustration abbreviation) of N type in it with an ion implantation, a P type impurity is doped to the formation field of PMOS, and the LDD field of P type is formed in it. Subsequently, after forming for example, an Poly-Si film all over the semiconductor substrate 3, a sidewall (illustration abbreviation) is formed in the side attachment wall of the gate electrode wiring 4 and 5, the drawer wiring 13 and 14, and a word line 120 by *****ing the Poly-Si film.

[0041] Then, an N type impurity is doped to the formation field of NMOS of the semiconductor substrate 3 with ion-implantation, and it is N+. The high concentration diffusion layers 6, 8, 10, and 11 of type are formed. Moreover, with ion-implantation, a P type impurity is doped to the formation field of PMOS of the semiconductor substrate 3, and it is P+. The high concentration diffusion layers 7 and 9 of type are formed. And it heat-treats and the impurity doped to the semiconductor substrate 3 is activated. this heat treatment -- the N type in 2nd Poly-Si18 of the gate electrode wiring 4 and 5, and a P type impurity -- opening -- minding -- the inside of the semiconductor substrate 3 -- further -- being spread -- the 1st -- N+ linked to the diffusion layer 6 of the N type of driver Tr.Q1 while the type embedding contact layer 16 is formed -- the 2nd -- P+

linked to the diffusion layer 9 of the P type of load Tr.Q4 The type embedding contact layer 15 is formed.

[0042] Next, a sidewall is removed and a silicon nitride film 21 is formed all over the semiconductor substrate 3. Furthermore, the flattening film 22 is formed on a silicon nitride film 21. Then, opening of the contact hole the 1st the 10th contact section 30 – for 39 is carried out to the flattening film 22, a silicon nitride film 21, and the silicon-oxide film 20. Under the present circumstances, about formation of the contact hole the 1st the 8th contact section 30 – for 37, a silicon nitride film 21 is formed in a self-adjustment target with this operation form by etching which carries out an etching prevention film. As mentioned above, since all the side attachment walls of the side which demarcates the contact hole the 1st the 8th contact section 30 – for 37 in the gate electrodes 4 and 5, the drawer wiring 13 and 14, and a word line 120 cannot be found in the shape of a taper with a bird clapper and it is formed, by this etching, the size of a path can form an almost uniform contact hole over the vertical direction.

[0043] Subsequently, as shown in drawing 2 and drawing 4 , while embedding each contact hole and forming the 1st – the 10th contact sections 30–39 with electric conduction films, such as aluminum and W, the partial wiring 40 which connects predetermined things among these the 1st – 10th contact sections 30–39 is formed on the flattening film 22, and a flip-flop 100 is constituted. Moreover, a Vdd line and a Vss line are simultaneously formed with the partial wiring 40. After forming the layer insulation film 41 on the flattening film 22 as the partial wiring 40 is covered as furthermore shown in drawing 2 and drawing 5 , the contact hole for bit line 110 which connects with the layer insulation film 41 at the 5th and the 6th contact sections 34 and 35 is formed. And while embedding the inside of a contact hole and forming the bit line contact sections 42 and 43 with electric conduction films, such as aluminum, a bit line 110 is formed on the layer insulation film 41. The memory cell 200 of SRAM2 is completed according to the above process.

[0044] thus -- SRAM2 manufactured -- P+ since the drawer wiring 13 on the type embedding contact section 15 is formed in P type -- the drawer wiring 13 and the 2nd -- without it forms a PN junction for the diffusion layer 9 of the P type of load Tr.Q4 in the meantime -- P+ It is connectable through the type embedding contact section 15.

5 Therefore, the increase in the contact resistance by a PN junction being formed can be suppressed, and stabilization of operation of SRAM2 can be attained.

[0045] Moreover, the connection between the drawer wiring 13 and a diffusion layer 9 and connection between the drawer wiring 14 and a diffusion layer 6 are P+, respectively. The type embedding contact section 13 and N+ Since it is made through
10 the type embedding contact section 16, the large division contact hole of a path like before can be made unnecessary. Consequently, reduction-ization of the area of a memory cell 200 can be attained.

[0046] and the 1st -- load Tr.Q1 and the 2nd -- since load Tr.Q4 are embedded, it constitutes from a channel type PMOS and the gate electrode wiring 4 and 5 in a
15 memory cell 200 is altogether formed in N type, the gate electrode wiring 4 and 5 can be formed by *****ing the 1st Poly-Si film 17 of N type, and the 2nd Poly-Si film 18 Therefore, the gate electrode wiring 4 and 5 by which etching processing was carried out with high precision can be obtained. Furthermore, P+ As for the drawer wiring 13 with which the type embedding contact section 13 top is formed in P type, the
20 self-adjustment type 7th contact section 37 side is formed in N type. for this reason -- etching for forming the contact hole for 7th contact section 37 which can prevent that those side attachment walls are formed in the shape of a taper, and performs it after that in etching processing of the gate electrode wiring 4 and 5 and the drawer wiring 13, as mentioned above -- the vertical direction -- crossing -- the size of a path -- the
25 contact hole of about 1 law -- self -- it can obtain conformably Therefore, the stable 7th contact section 37 which the elevation of contact resistance or the pressure-proof defect by reduction of the area of base of a contact hole do not produce can be

formed.

[0047] Moreover, it sets to the drawer wiring 13 and is P+. Since B portion formed in type does not use for the gate electrode wiring 5, it is not required by the high precision on processing. Furthermore it pulls out, and in order not to use for the gate electrode wiring 5, wiring 13 has no influence of the property on SRAM2, even if it uses boron for a P type impurity, it originates in the heat stress by elevated-temperature heat treatment of the manufacture process of SRAM2 and this boron invades into the semiconductor substrate 3. For this reason, by the ability easing the process conditions which can prevent change of the threshold (V_{th}) of MOS by the invasion of the semiconductor substrate 3 of boron and which were both restricted for the cure against heat stress etc. Since flexibility to process conditions can be made high, according to this operation gestalt, it excels in a device property and productivity very much, and SRAM2 which can moreover aim at coexistence with reduction-izing of cell area and the stable self-adjustment type contact section can be realized.

[0048]

[Effect of the Invention] As explained above, in the semiconductor memory of this invention, the drawer wiring on the P type embedding contact section is formed by the electric conduction film of P type, and since it considered as the composition to which drawer wiring and the diffusion layer of P type are connected through the P type embedding contact section, reduction-ization of cell area can be attained. Moreover, since it carried out as the composition in which the self-adjustment type contact section side of gate electrode wiring and the above-mentioned drawer wiring which has the portion currently formed by P type is formed by the electric-conduction film of N type, the contact hole demarcated by gate electrode wiring or drawer wiring can form to the almost fixed diameter of a size over the vertical direction, and, therefore, the poor stable self-adjustment type contact section of elevation of contact resistance or pressure-proofing which does not produce can realize. Therefore, according to this

invention, it excels in a device property and productivity very much, and, moreover, coexistence with reduction-izing of cell area and the stable self-adjustment type contact section can be aimed at.

5

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

10 [Drawing 1] It is the plan showing 1 operation gestalt of the semiconductor memory concerning this invention.

[Drawing 2] X-X1 in drawing 1 It is a line view cross section.

[Drawing 3] It is a plan for explaining an ion-implantation field.

[Drawing 4] It is a plan for explaining the formation process of partial wiring.

15 [Drawing 5] It is a plan for explaining the formation process of a bit line.

[Drawing 6] It is the circuit diagram of general SRAM.

[Drawing 7] It is the plan showing an example of the conventional SRAM.

[Drawing 8] Y-Y1 in drawing 7 It is a line view cross section.

[Drawing 9] It is explanatory drawing of the technical problem of this invention.

20 [Description of Notations]

2 [— 6 Gate electrode wiring, 9 / — Diffusion layer,] — SRAM, 3 — 4 A semiconductor substrate, 5 13 14 [Type embedding contact section,] — Drawer wiring, 15 — P+ 16 — N+ The type embedding contact section, 17 — The 1st Poly-Si layer, 18 [— Octavus contact section,] — The 2nd Poly-Si layer, 36 — The 7th contact section, 37 41, 42, 51, 52 [— The 1st inverter 102 / — The 2nd inverter 200 / — A memory cell, Q1 / — 1st driver Tr., Q2 / — 1st load Tr., Q3 / — 3rd driver Tr., Q4 / — The 2nd load Tr] — A gate electrode, 100 — A flip-flop, 101

25

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 7 0 2 8

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 月 2 2 日

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/8244			H01L 27/10	381
27/11			27/08	321 K
21/8238				
27/092				

審査請求 未請求 請求項の数 2 O L (全 1 0 頁)

(21) 出願番号 特願平 9 - 1 7 1 5 1 7
(22) 出願日 平成 9 年 (1 9 9 7) 6 月 2 7 日

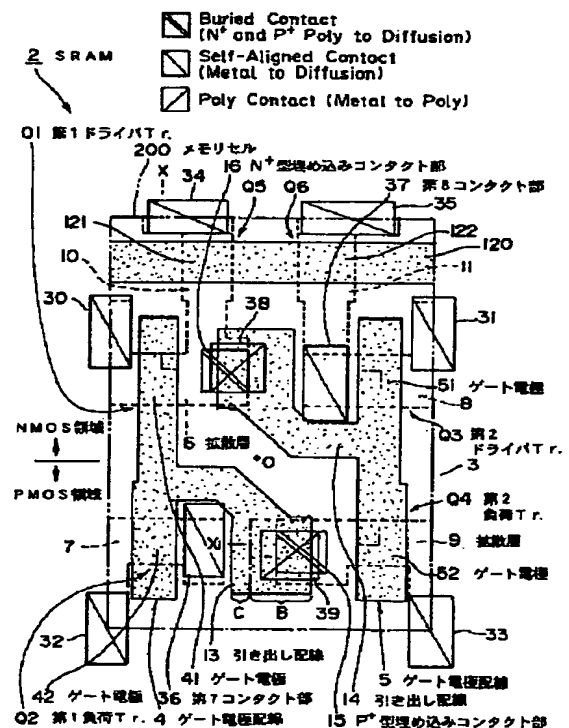
(71) 出願人 0 0 0 0 0 2 1 8 5
ソニー株式会社
東京都品川区北品川 6 丁目 7 番 3 5 号
(72) 発明者 眞野 三千雄
東京都品川区北品川 6 丁目 7 番 3 5 号 ソ
ニー株式会社内
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 セル面積の縮小化と安定した自己整合型コンタクト部との両立を図れる S R A M を実現する。

【解決手段】 S R A M 2 は、メモリセル 200 内のフリップフロップ 100 を構成するその第 1、第 2 インバータ 101、102 のそれぞれが N M O S と P M O S とからなるとともに、N M O S のゲート電極 4 1、4 2 と P M O S のゲート電極 5 1、5 2 とが連続した N 型のゲート電極配線 4、5 で形成されたもので、第 1 インバータ 101 のゲート電極配線 4 から延出された引き出し配線 1 3 と第 2 インバータ 102 の P M O S である第 2 負荷 T r . Q 4 の P 型の拡散層 9 とが P⁺ 型埋め込みコンタクト部 1 5 を介して接続されている。この引き出し配線 1 3 は、P⁺ 型埋め込みコンタクト部 1 5 上が P 型で形成されているとともに引き出し配線 1 3 近傍の自己整合型の第 7 コンタクト部 3 6 側が N 型で形成されている。



【特許請求の範囲】

【請求項 1】 メモリセル内の半導体基板に一对のインバータからなるフリップフロップが設けられ、前記各インバータが N チャネルの電界効果トランジスタと P チャネルの電界効果トランジスタとから構成されるとともに、前記 N チャネルの電界効果トランジスタのゲート電極と前記 P チャネルの電界効果トランジスタのゲート電極とが連続した N 型のゲート電極配線で形成されたもので、

前記一对のインバータのうち、一方のインバータを構成する電界効果トランジスタのゲート電極配線から延出された引き出し配線と他方のインバータを構成する電界効果トランジスタの拡散層とが、前記半導体基板に形成されて前記拡散層と同じ導電型を有する埋め込みコンタクト部を介して接続されてなり、

前記引き出し配線の近傍に、該引き出し配線によって画定された自己整合型コンタクト部が前記半導体基板に接続する状態で形成されてなる半導体記憶装置において、前記拡散層のうちの N 型の拡散層に N 型埋め込みコンタクト部を介して接続される引き出し配線は、N 型の導電膜で形成されており、

前記拡散層のうちの P 型の拡散層に P 型埋め込みコンタクト部を介して接続される引き出し配線は、前記 P 型埋め込みコンタクト部上が P 型の導電膜で形成されているとともに、この引き出し配線近傍の自己整合型コンタクト部側が N 型の導電膜で形成されていることを特徴とする半導体記憶装置。

【請求項 2】 前記ゲート電極配線および前記引き出し配線は少なくともポリシリコン層を含む導電膜で形成されており、

前記 P 型の拡散層に P 型埋め込みコンタクト部を介して接続される引き出し配線は、P 型埋め込みコンタクト部上におけるポリシリコン層が P 型の不純物が導入されたものからなるとともに、この引き出し配線近傍の自己整合型コンタクト部側におけるポリシリコン層が N 型の不純物が導入されたものからなることを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置に関し、特にメモリセルが 6 つの電界効果トランジスタ（以下、MOS と記す）で構成されたスタティック RAM（以下、SRAM と記す）に関する。

【0002】

【従来の技術】 従来、6 つの MOS でメモリセルが構成された SRAM には、4 つの N チャネル MOS（以下、NMOS と記す）と 2 つの P チャネル MOS（以下、PMOS と記す）とからなるフル CMOS（相補型 MOS）型が知られている。図 6 は一般的なフル CMOS 型 SRAM の回路図である。また、図 7 はフル CMOS 型

SRAM のメモリセルの構造の一例を示す平面図であり、素子分離領域（破線と二点鎖線で囲まれた部分）、第 1 層目のポリシリコン（以下、第 1 Poly-Si と記す）層（ドット部分）および各コンタクト部の形成位置のみを示してある。また図 8 は、図 7 における Y-Y₁ 線矢視断面図であり、拡散層の図示を省略してある。

【0003】 図 6 ～ 図 8 に示すようにこの SRAM では、メモリセル 70 の領域内の半導体基板 71 に、第 1 インバータ 101 と第 2 インバータ 102 とが設けられている。第 1 インバータ 101 は NMOS で構成される第 1 ドライバートランジスタ（以下、トランジスタを Tr. と記す）Q1 と PMOS で構成される第 1 負荷 Tr. Q2 とからなり、第 1 ドライバート r. Q1 および第 1 負荷 Tr. Q2 の各ゲート電極 721、722 が連続したゲート電極配線 72 の一部で形成されている。同様に、第 2 インバータ 102 も NMOS で構成された第 2 ドライバート r. Q3 と PMOS で構成された第 2 負荷 Tr. Q4 とからなり、第 2 ドライバート r. Q3 および第 2 負荷 Tr. Q4 の各ゲート電極 731、732 が連続したゲート電極配線 73 の一部で形成されている。

【0004】 第 1、第 2 インバータ 101、102 は、これらの一方の入力が他方の出力になる、いわゆるフリップフロップ 100 を形成するように接続されている。すなわち、第 1 インバータ 101 のゲート電極配線 72 から延出された引き出し配線 74 と第 2 負荷 Tr. Q4 の P 型の拡散層 75 とが接続され、第 2 インバータ 102 のゲート電極配線 73 から延出された引き出し配線 76 と第 1 ドライバート r. Q1 の N 型の拡散層 77 とが接続されている。また、フリップフロップ 100 には、NMOS からなる第 1 ワード Tr. Q5 および第 2 ワード Tr. Q6 が接続されている。第 1、第 2 ワード Tr. Q5、Q6 は、そのゲート電極 121、122 がそれぞれ、ワード線 120 の一部で構成されているとともに、ビット線 110 に接続されている。

【0005】 ここで、各ゲート電極配線 72、73、各引き出し配線 74、76 およびワード線 120 は、図 8 に示すように第 1 Poly-Si 層 78 と、第 2 Poly-Si 層 79 と、タングステンシリサイド（WSi₂）層 80 とがこの順に積層されたタングステンポリサイド（以下、W-ポリサイドと記す）からなる。また W-ポリサイドを覆って酸化シリコン膜 81 が形成され、酸化シリコン膜 81 上に窒化シリコン膜 82 を介して平坦化膜 83 が形成されている。

【0006】 ところで、一般的には、ゲート電極を構成するゲート電極配線として、N 型にドーピングされた Poly-Si 層やこの Poly-Si 層と高融点金属膜とをシリサイド化して得た高融点金属シリサイド層を用いる。したがって、ゲート電極配線と P 型の拡散層とを直接接続した場合には PN 接合が形成されるため、ゲート電極配

線から直接、P型の拡散層へコンタクトをとることができなかった。

【0007】そこで従来では図7および図8に示すように、平坦化膜83、窒化シリコン膜82、酸化シリコン膜81を開口して引き出し配線74、75に達するとともに、さらに引き出し配線74、75を開口してP型の拡散層に達する一つの分割コンタクトホール84aを形成する。そして、アルミニウム(Al)や埋め込みタングステン(ブランケットタングステン; Blk W)等の導電膜でこのコンタクトホール84a内を埋め込んで分割コンタクト部84を形成するとともに平坦化膜83上に局所配線85を形成することによって、ゲート電極配線72とP型の拡散層75との接続を行っている。

【0008】また従来のSRAMでは、セル面積の縮小を図るために、この縮小化に非常に有効である自己整合型コンタクト部を半導体基板の拡散層との接続用として多数採用している。例えば図7、図8に示すSRAMでは、8個の自己整合型コンタクト部87が採用されており、自己整合型コンタクト部87を構成するコンタクトホールは、例えば図7、図8に示すゲート電極配線72、73や引き出し配線74、76で画定することにより自己整合的に形成されている。

【0009】

【発明が解決しようとする課題】しかしながら、上記の分割コンタクト部を形成するゲート電極とP型の拡散層との接続方法は、工程的には単純であるものの、同一の分割コンタクトホールによりゲート電極とP型の拡散層とを外側に臨ませなければならないため、コンタクトホールの径を大きくする必要がある。よって、この接続方法は、セル面積の増大を招きやすい。

【0010】一方、ゲート電極から直接、P型の拡散層へコンタクトをとるには、P型の導電膜が付与されたゲート電極を用いることが必須である。ところが、一般的に用いられているPoly-Si膜にP型の導電膜を付与してゲート電極とする場合には、P型のPoly-Si膜が高精度なエッチング加工が困難な膜であるため、以下のような不都合が生じる。

【0011】例えば図9に示すように、酸化シリコン膜のパターン91をマスクにしたエッチングによってP'型、N'型のPoly-Si膜92a、92bをゲート電極のパターンに形成した場合には、N'型のPoly-Si膜92bに比較してP'型のPoly-Si膜92aからなるゲート電極の側壁がテーパー状に加工され易い。そのため、自己整合型コンタクト部用のコンタクトホールをゲート電極で画定することにより自己整合的に形成する際に、コンタクトホールの底面積が減少してコンタクト抵抗の上昇や耐圧の不良を招くという不都合が発生する。したがって、上記課題を解決できるSRAMの開発が切望されている。

【0012】

【課題を解決するための手段】そこで上記課題を解決するために本発明は、メモリセル内の半導体基板に一对のインバータからなるフリップフロップが設けられ、各インバータがNチャネルの電界効果Tr. (NMOS)とPチャネルの電界効果Tr. (PMOS)とから構成されるとともに、NMOSのゲート電極とPMOSのゲート電極とが連続したN型のゲート電極配線で形成されたもので、一对のインバータのうち、一方のインバータを構成するMOSのゲート電極配線から延出された引き出し配線と他方のインバータを構成するMOSの拡散層とが、半導体基板に形成されてその拡散層と同じ導電型を有する埋め込みコンタクト部を介して接続されてなり、引き出し配線の近傍に、該引き出し配線によって画定された自己整合型コンタクト部が半導体基板に接続する状態で形成されてなる半導体記憶装置において、上記拡散層のうちのN型の拡散層にN型埋め込みコンタクト部を介して接続される引き出し配線は、N型の導電膜で形成されており、拡散層のうちのP型の拡散層にP型埋め込みコンタクト部を介して接続される引き出し配線は、P型埋め込みコンタクト部上がP型の導電膜で形成されているとともに、この引き出し配線近傍の自己整合型コンタクト部側がN型の導電膜で形成されている構成になっている。

【0013】この発明では、P型埋め込みコンタクト部上の引き出し配線がP型の導電膜で形成されているため、引き出し配線とP型の拡散層との接続部分にPN接合が形成されない。また一方のインバータを構成するMOSのゲート電極配線と他方のインバータを構成するMOSの拡散層との接続が、埋め込みコンタクト部を介してなされているため、従来のような径の大きい分割コンタクトホールが不要になる。またゲート電極配線はN型であり、P型埋め込みコンタクト部上がP型の導電膜で形成されている引き出し配線は、その自己整合型コンタクト部側がN型の導電膜で形成されているため、ゲート電極配線および引き出し配線のエッチング加工にあたってそれらの側壁がテーパー状に形成されることが防止される。したがって、引き出し配線によって画定した状態で上記自己整合型コンタクト部用のコンタクトホールを形成する場合に、上下方向にわたって径の大きさがほぼ一定のコンタクトホールが得られるものとなる。

【0014】

【発明の実施の形態】以下、本発明の半導体記憶装置の実施形態を図面に基づいて説明する。実施形態に係る半導体記憶装置はフルCMOS型SRAMからなるものであり、前述した図6に示す一般的な回路構成を有している。つまり、メモリセル200内に、第1インバータ101と第2インバータ102と的一对のインバータからなるフリップフロップ100と、フリップフロップ100に接続された第1ワードTr. Q5および第2ワードTr. Q6とを備えている。第1インバータ101はN

MOSからなる第1ドライバーTr. Q1とPMOSからなる第1負荷Tr. Q2とのCMOSからなるもので、第1ドライバーTr. Q1の拡散層と第1負荷Tr. Q2との拡散層とが接続されている。また第2インバータ102は、NMOSからなる第2ドライバーTr. Q3とPMOSからなる第2負荷Tr. Q4とのCMOSとからなり、第2ドライバーTr. Q3の拡散層と第2負荷Tr. Q4の拡散層とが接続されている。

【0015】第1ドライバーTr. Q1と第1負荷Tr. Q2との各ゲート電極を接続するゲート電極配線は、第2インバータ102の第2負荷Tr. Q4の拡散層と接続されている。また第2ドライバーTr. Q3と第2負荷Tr. Q4との各ゲート電極を接続するゲート電極配線は、第1インバータ101の第1ドライバーTr. Q1の拡散層と接続されている。さらに第1ドライバーTr. Q1の拡散層と第2ドライバーTr. Q3の拡散層とがそれぞれVssライン（接地線）に接続され、また第1負荷Tr. Q2の拡散層と第2負荷Tr. Q4の拡散層とがそれぞれVddライン（電源線）に接続されている。

【0016】一方、第1ワードTr. Q5は、その一方の拡散層と第1ドライバーTr. Q1の拡散層とが接続され、第2ワードTr. Q6は、その一方の拡散層と第2ドライバーTr. Q3の拡散層とが接続されている。また第1ワードTr. Q5、第2ワードTr. Q6のそれぞれの他方の拡散層はビット線110に接続され、第1ワードTr. Q5、第2ワードTr. Q6のそれぞれのゲート電極はワード線120に接続されている。

【0017】上記回路構成をなす本実施形態のフルCMOS型SRAMのメモリセルは、図1の平面図および図1のX-X'線矢視断面図である図2に示す構造を有している。ここで説明の都合上、図1では素子分離領域（破線と二点鎖線で囲まれた部分）と第1層目のPoly-Si層（ドット部分）とコンタクト部の形成位置のみを示してあり、図2では後述する埋め込みコンタクト部以外の拡散層の図示を省略してある。また、図1における二点鎖線はメモリセルの外形線を示している。

【0018】図1に示すように本実施形態のSRAM2の基本的なレイアウトは、図7に示した従来例と略同一である。すなわち、メモリセル200の領域内の素子分離膜24が形成された半導体基板3には、上記の第1ドライバーTr. Q1、第1負荷Tr. Q2、第2ドライバーTr. Q3、第2負荷Tr. Q4が点Oを中心とする矩形の4隅に設けられている。第1ドライバーTr. Q1、第1負荷Tr. Q2の各ゲート電極41、42は連続した直線状のゲート電極配線4の一部で形成されており、第2ドライバーTr. Q3、第2負荷Tr. Q4のゲート電極51、52も、連続した直線状のゲート電極配線5の一部で形成されている。これらゲート電極配線4、5は、点Oを中心にして半導体基板3上に対称に

配置されている。

【0019】また半導体基板3には、第1ドライバーTr. Q1の第1負荷Tr. Q2と反対側に第1ワードTr. Q5が形成されているとともに、第2ドライバーTr. Q3の第2負荷Tr. Q4と反対側に第2ワードTr. Q6が形成されている。そして、これら第1、第2ワードTr. Q5、Q6のそれぞれのゲート電極121、122は、各ゲート電極配線4、5の長さ方向に対して略直角に設けられたワード線120の一部で構成されている。

【0020】また半導体基板3には、第1ドライバーTr. Q1のゲート電極41の両側位置にソース・ドレインとなるN型の拡散層6が形成され、第1負荷Tr. Q2の形成領域における半導体基板3のゲート電極42の両側位置にはソース・ドレインとなるP型の拡散層7が形成されている。同様に、第2ドライバーTr. Q3のゲート電極51の両側位置にはN型拡散層8が、第2負荷Tr. Q4のゲート電極52の両側位置にはP型の拡散層9が形成されている。さらに、第1ワードTr. Q5のゲート電極121の両側位置、第2ワードTr. Q6のゲート電極122の両側位置にはそれぞれ、N型の拡散層10、11が形成されている。

【0021】この場合、第1ドライバーTr. Q1における第2ドライバーTr. Q3側の拡散層6と、第1ワードTr. Q5における第1ドライバーTr. Q1側の拡散層10とは互いに接続するように形成されている。また、第2ドライバーTr. Q3における第1ドライバーTr. Q1側の拡散層8と、第2ワードTr. Q6における第2ドライバーTr. Q3側の拡散層11とは互いに接続するように形成されている。

【0022】ゲート電極配線4からは、第2負荷Tr. Q4の第1負荷Tr. Q2側に形成された拡散層9に向けて引き出し配線13が延びて形成されている。また第2インバータ102からも、第1ドライバーTr. Q1の第2ドライバーTr. Q3側に形成された拡散層6に向けて引き出し配線14が延びて形成されている。これら引き出し配線13、14は、例えば平面視略L字状に延出形成されており、点Oを中心にして半導体基板3上に対称に配置されている。

【0023】そして本実施形態では、引き出し配線13が、P型の拡散層9とP'型埋め込みコンタクト部(Buried Contact)15を介して接続されているとともに、引き出し配線14がN型の拡散層6とN'型埋め込みコンタクト部16を介して接続されている。このとき、引き出し配線13においてP'型埋め込みコンタクト部15上の図1中、Bで示す部分がP'型の導電膜で形成されている。また、引き出し配線13においてB部分以外の箇所はN'型の導電膜で形成されている。ここで、後述するように引き出し配線13の近傍には、この引き出し配線13およびゲート電極配線4によって画定された

自己整合型の第7コンタクト部36が半導体基板3の拡散層7に接続する状態で形成されている。よって、引き出し配線13は、この第7コンタクト部36を画定する側である図中Cで示す部分がN'型の導電膜で形成された状態となっている。

【0024】なお、各ゲート電極配線4、5、各引き出し配線13、14およびワード線120は、例えば図2に示すように半導体基板3上に形成された第1Poly-Si層17と、この上層に形成された第2Poly-Si層18と、第2Poly-Si層18上に形成されたWSi層19とからなるW-ポリサイドで形成されている。したがって、P'型埋め込みコンタクト部15上のB部分における引き出し配線13は、第1Poly-Si層17および第2Poly-Si層18にP型不純物がドーピングされてP'型となったW-ポリサイドで構成されている。また各ゲート電極41、42、51、52、121、122の形成位置における第1Poly-Si層17と半導体基板3との間にはゲート酸化膜23が介装されている。

【0025】一方、B部分以外の箇所の引き出し配線13、引き出し配線14全体、ゲート電極配線4、5およびワード線120は、第1Poly-Si層17および第2Poly-Si層18にN型不純物がドーピングされてN'型となったW-ポリサイドで構成されている。よって、SRAM2のメモリセル200を構成する第1、第2ドライバーTr. Q1、Q3、第1、第2負荷Tr. Q2、Q4、第1、第2ワードTr. Q5、Q6はいずれもゲート電極41、42、51、52、121、122がN'型であり、したがって第1、第2ドライバーTr. Q1、Q3および第1、第2ワードTr. Q5、Q6は表面チャネル型のNMOS、第1、第2負荷Tr. は埋め込みチャネル型のPMOSとなっている。

【0026】また、従来と同様にW-ポリサイドが形成された半導体基板3上には、図2に示すようにこのW-ポリサイドを覆う状態に酸化シリコン膜20が形成されている。さらに、酸化シリコン膜20を覆って窒化シリコン膜21が形成され、この上層に例えばボウ素-リンガラス(BPSG)膜からなる平坦化膜22が形成されている。そして、平坦化膜22、窒化シリコン膜21および酸化シリコン膜20には、複数のコンタクトホール(図示略)が形成され、各コンタクトホールの内部に後述する局所配線40用の例えばAlやW等の導電膜が埋め込まれて、Vssライン用の第1、第2コンタクト部30、31、Vddライン用の第3、第4コンタクト部32、33、ビット線110用の第5、第6コンタクト部34、35、フリップフロップを構成するための第7、第8、第9、第10コンタクト部36、37、38、39が形成されている。

【0027】第1～第6コンタクト部30～35はメモリセル200の外形線の位置に設けられている。そして、第1コンタクト部30は第1ドライバーTr. Q1

の拡散層6に接続するように設けられている。また、第2コンタクト部31は第1コンタクト部30とゲート電極配線4、5を挟んで対称に設けられており、第2ドライバーTr. Q2の拡散層8に接続するように形成されている。さらに第3コンタクト部32は第1負荷Tr. Q2の拡散層7に接続し、第4コンタクト部33は第2負荷Tr. Q4の拡散層9に接続するように形成されている。第3、第4コンタクト部32、33はそれぞれ、点Oを中心として第1、第2コンタクト部30、31と対称に設けられている。

【0028】ビット線110用の第5コンタクト部34は、第1ワードTr. Q5の拡散層10に接続するように形成され、第6コンタクト部35は、第2ワードTr. Q6の拡散層11に接続するように形成されている。これら第5、第6コンタクト部34、35は間隔をあけて並設されている。

【0029】また、第7コンタクト部36は、P型の拡散層9とP'型埋め込みコンタクト部15を介して接続されるP'型の引き出し配線13の近傍に設けられたものである。すなわち、第7コンタクト部36は、第1インバータ101のゲート電極配線4とこの引き出し配線13とで囲まれた位置に設けられており、第1負荷Tr. Q2の拡散層7に接続するように形成されている。同様に第8コンタクト部37は、第2インバータ102のゲート電極配線5とこの引き出し配線14とで囲まれた位置に設けられており、第1ドライバーTr. Q3の拡散層6に接続するように形成されている。第7、第8コンタクト部36、37は、点Oを中心にして対称に配置されている。

【0030】一方、第9コンタクト部38は、引き出し電極13と第1ドライバーTr. Q1の拡散層6とが重なる位置に設けられており、引き出し電極13に接続する状態で形成されている。同様に、第10コンタクト部39も、引き出し電極14と第2負荷Tr. Q4の拡散層9とが重なる位置に設けられており、引き出し電極14に接続する状態で形成されている。

【0031】ここで、上記した第1～第8コンタクト部30～37を構成するコンタクトホールは、本実施形態では前述した窒化シリコン膜21をエッチング阻止膜としたエッチングによって自己整合的に形成されたものからなる。よって、第1～第8コンタクト部30～37はそれぞれ、拡散層6～11に接続する自己整合型コンタクト部(Self-Aligned Contact)となっている。また第9、第10コンタクト部38、39は、引き出し電極13、14の第1Poly-Si層17、18に接続するコンタクト部(Poly Contact)となっている。

【0032】平坦化膜22上には、第1～第10コンタクト部30～39を形成するとともにこれら第1～第10コンタクト部30～39の所定のもの同士を接続する局所配線40が設けられてフリップフロップ100が構

10

20

30

40

50

成されている。また局所配線40によってVssライン、Vddラインが形成されている。

【0033】さらに平坦化膜22上には、局所配線40を覆うようにして層間絶縁膜41が形成されている。層間絶縁膜41には、第5、第6コンタクト部34、35の直上位置にそれぞれ、ビット線用のコンタクトホール(図示略)が形成されており、WやAl等の導電膜によってこれらコンタクトホール内が埋め込まれてビット線コンタクト部42、43が形成されているとともに層間絶縁膜41上にビット線110が形成されている。

【0034】次に、上記の構造を有するSRAM2の製造方法の一例を図1～図5を用いて説明する。まず図1、図2に示すように、一般的な素子分離技術によって、第1ドライバートラ、Q1、第1負荷トラ、Q2、第2ドライバートラ、Q3、第2負荷トラ、Q4、第1ワードトラ、Q5、第6ワードトラ、Q6の形成領域を囲むようにして半導体基板3に素子分離膜24を形成する。なお、図1では、メモリセル200の外形線である二点鎖線と拡散層6～11を示す破線とで囲まれた部分が素子分離膜24の形成部分になる。またNMOSおよびPMOSの形成に必要な各種ウェルを形成するためのイオン注入、チャネルストップを形成するためのイオン注入、Vthの調整のためのイオン注入等を行う。

【0035】次いで、既知の方法によって、露出している半導体基板3の表面、つまり素子分離膜24で囲まれた各トラ、Q1～Q6の形成領域にゲート酸化膜23を形成し、続いて例えば化学的気相成長法(以下、CVD法と記す)によって、半導体基板3の全面に数十nmの厚みの第1Poly-Si膜17を堆積する。次いで、リソグラフィ技術(レジスト塗布、露光、現像、ペーキング等)およびエッチングによって、第1Poly-Si膜17におけるP'型埋め込みコンタクト部15、N'型埋め込みコンタクト部16の形成位置上に開口部(図示略)を形成する。その結果、開口部の底部には半導体基板3が露出する。

【0036】次に、例えばCVD法によって、上記開口部内および第1Poly-Si層17上に、数十nmの厚みの第2Poly-Si層18を堆積する。その後、イオン注入法によって、図1、図2、図3に示すように引き出し配線13を形成する位置でかつP'型埋め込みコンタクト部15上であるB部分の第1、第2Poly-Si層17、18のみにP型不純物をP'にドーピングする。また、これ以外の領域全体の第1、第2Poly-Si層17、18にN型不純物をN'にドーピングする。この結果、P'型埋め込みコンタクト部15に接続する引き出し配線13の形成位置において、この引き出し配線13近傍の自己整合型の第7コンタクト部36側のC部分もN'にドーピングされることになる。

【0037】次いで図2に示すように、第2Poly-Si層18上にWSi、層19を堆積し、WSi、層19上

に自己整合型コンタクト部を形成するために酸化シリコン膜20を堆積して酸化シリコン膜20付きのW-ポリサイドを形成する。その後、熱処理を行って、第1、第2Poly-Si膜17、18中にドーピングした不純物を活性化させる。上記熱処理は、例えば、1000℃、10秒程度の条件のRTA(Rapid Thermal Annealing)によって行う。この熱処理によって、開口部内に形成された第2Poly-Si層18からN型、P型不純物がそれぞれ半導体基板3へと拡散する。

【0038】次に、エッチングによってW-ポリサイドをバターニングすることにより、ゲート電極配線4、5、引き出し配線13、14およびワード線120を形成する。このように同一工程にて、ゲート電極配線4、5と引き出し配線13、14とが形成される。

【0039】なお、先のイオン注入工程でのP型不純物、N型不純物の打ち分けによって、図3に示すように引き出し配線13は、P'型埋め込みコンタクト部15上のB部分の第1、第2Poly-Si層17、18がP'型領域(図3中、ハッチングで示す)になっている。また、これ以外の部分の引き出し配線13、引き出し配線14、ゲート電極配線4、5およびワード線120がN'型領域(図3中、ドットで示す)になっている。よって引き出し配線13、ゲート電極配線4は、自己整合型の第7コンタクト部37を画定する第7コンタクト部37側の側壁がテーパー状になることなく形成される。同様に、その他の自己整合型の第1～第6コンタクト部30～35および第8コンタクト部37を画定する引き出し配線14、ゲート電極配線4、5およびワード線120も側壁がテーパー状になることなく形成される。

【0040】その後、イオン注入によって、半導体基板3のNMOSの形成領域にN型不純物をドーピングしてN型のLDD(Lightly Doped Drain)領域(図示略)を形成するとともに、PMOSの形成領域にP型不純物をドーピングしてP型のLDD領域を形成する。次いで、半導体基板3の全面に例えばPoly-Si膜を形成した後、そのPoly-Si膜をエッチングすることによってゲート電極配線4、5、引き出し配線13、14およびワード線120の側壁にサイドウォール(図示略)を形成する。

【0041】続いて、イオン注入法によって、半導体基板3のNMOSの形成領域にN型不純物をドーピングしてN'型の高濃度拡散層6、8、10、11を形成する。またイオン注入法によって、半導体基板3のPMOSの形成領域にP型不純物をドーピングしてP'型の高濃度拡散層7、9を形成する。そして熱処理を行って、半導体基板3にドーピングした不純物の活性化を行う。この熱処理によって、ゲート電極配線4、5の第2Poly-Si層18中のN型、P型不純物が開口部を介して半導体基板3中にさらに拡散して、第1ドライバートラ、Q1のN型の拡散層6に接続するN'型埋め込みコンタク

ト層16が形成されるとともに、第2負荷Tr、Q4のP型の拡散層9に接続するP'型埋め込みコンタクト層15が形成される。

【0042】次に、サイドウォールを除去し、半導体基板3の全面に窒化シリコン膜21を形成する。さらに窒化シリコン膜21上に平坦化膜22を形成する。続いて、平坦化膜22、窒化シリコン膜21および酸化シリコン膜20に第1～第10コンタクト部30～39用のコンタクトホールを開孔する。この際、第1～第8コンタクト部30～37用のコンタクトホールの形成につい

ては、本実施形態では、窒化シリコン膜21をエッチング阻止膜するエッチングによって自己整合的に形成する。前述したように、ゲート電極4、5、引き出し配線13、14およびワード線120において第1～第8コンタクト部30～37用のコンタクトホールを画定する側の側壁は全てテーパー状になることなく形成されているため、このエッチングでは上下方向にわたって径の大きさがほぼ均一なコンタクトホールを形成できる。

【0043】次いで図2、図4に示すように、A1、W等の導電膜によって、各コンタクトホールを埋め込んで第1～第10コンタクト部30～39を形成するとともに、平坦化膜22上にこの第1～第10コンタクト部30～39のうち所定のもの同士を接続する局所配線40を形成してフリップフロップ100を構成する。また同時に局所配線40によってVddライン、Vssラインを形成する。さらに図2、図5に示すように、平坦化膜22上に局所配線40を覆うようにして層間絶縁膜41を形成した後、層間絶縁膜41に第5、第6コンタクト部34、35に接続するビット線110用のコンタクト

ホールを形成する。そして、A1等の導電膜によってコンタクトホール内を埋め込んでビット線コンタクト部42、43を形成するとともに、層間絶縁膜41上にビット線110を形成する。以上の工程により、SRAM2のメモリセル200が完成する。

【0044】このように製造されるSRAM2では、P'型埋め込みコンタクト部15上の引き出し配線13がP型に形成されているため、引き出し配線13と第2負荷Tr、Q4のP型の拡散層9とを、この間にPN接合を形成することなくP'型埋め込みコンタクト部15を介して接続することができる。よって、PN接合が形成

されることによるコンタクト抵抗の増加を抑制でき、かつSRAM2の動作の安定化を図ることができる。

【0045】また引き出し配線13と拡散層9との接続および引き出し配線14と拡散層6との接続がそれぞれ、P'型埋め込みコンタクト部13、N'型埋め込みコンタクト部16を介してなされているので、従来のような径の大きい分割コンタクトホールを不要とすることができる。その結果、メモリセル200の面積の縮小化を図ることができる。

【0046】しかも、第1負荷Tr、Q1と第2負荷Tr、Q4を埋め込みチャネル型PMOSで構成し、メモ

リセル200内のゲート電極配線4、5を全てN型に形成しているため、N型の第1Poly-Si膜17、第2Poly-Si膜18をエッチングすることによってゲート電極配線4、5を形成できる。したがって、高精度にエッチング加工されたゲート電極配線4、5を得ることができる。さらに、P'型埋め込みコンタクト部13上がP型に形成されている引き出し配線13は、その自己整合型の第7コンタクト部37側がN型に形成されている。このため、前述したようにゲート電極配線4、5および引き出し配線13のエッチング加工にあたっては、それらの側壁がテーパー状に形成されることを防止でき、その後に行う第7コンタクト部37用のコンタクトホールを形成するためのエッチングでは、上下方向にわたって径の大きさがほぼ一定のコンタクトホールを自己整合的に得ることができる。よって、コンタクトホールの底面積の減少によるコンタクト抵抗の上昇や耐圧の不良が生じない安定した第7コンタクト部37を形成できる。

【0047】また、引き出し配線13においてP'型に形成されたB部分は、ゲート電極配線5に用いないため、加工上の高い精度は要求されない。さらに引き出し配線13はゲート電極配線5に用いないため、P型不純物にホウ素を用い、SRAM2の製造プロセスの高温熱処理による熱ストレスに起因してこのホウ素が半導体基板3に侵入しても、SRAM2の特性への影響が皆無である。このため、ホウ素の半導体基板3の侵入によるMOSのしきい値(Vth)の変動を防止できるとともに、熱ストレス対策等のために制限されていたプロセス条件を緩和できることにより、プロセス条件に対する自由度を高くすることができるので、本実施形態によればデバイス特性および生産性に非常に優れ、しかもセル面積の縮小化と安定した自己整合型コンタクト部との両立が図れるSRAM2を実現できる。

【0048】

【発明の効果】以上説明したように本発明の半導体記憶装置では、P型埋め込みコンタクト部上の引き出し配線をP型の導電膜で形成して、引き出し配線とP型の拡散層とがP型埋め込みコンタクト部を介して接続される構成としたので、セル面積の縮小化を図ることができる。またゲート電極配線と、P型で形成されている部分を有する上記引き出し配線の自己整合型コンタクト部側とがN型の導電膜で形成されている構成としたので、ゲート電極配線や引き出し配線によって画定されるコンタクトホールを上下方向にわたってほぼ一定の大きさ径に形成でき、よってコンタクト抵抗の上昇や耐圧の不良の生じない安定した自己整合型コンタクト部を実現できる。したがって、本発明によれば、デバイス特性および生産性に非常に優れ、しかもセル面積の縮小化と安定した自己整合型コンタクト部との両立が図れる。

【図面の簡単な説明】

13

【図 1】本発明に係る半導体記憶装置の一実施形態を示す平面図である。

【図 2】図 1 における X-X' 線矢視断面図である。

【図 3】イオン注入領域を説明するための平面図である。

【図 4】局所配線の形成工程を説明するための平面図である。

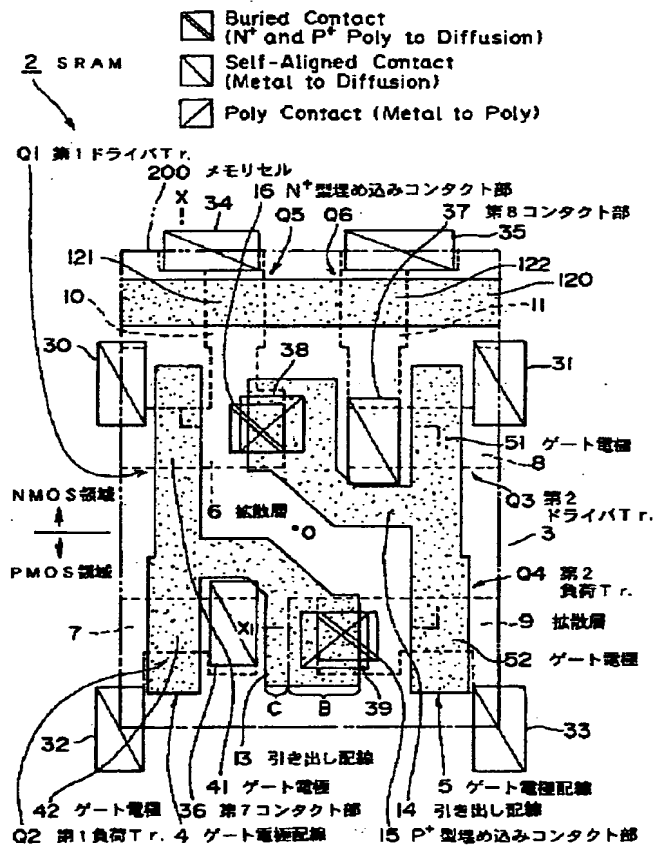
【図 5】ビット線の形成工程を説明するための平面図である。

【図 6】一般的な SRAM の回路図である。

【図 7】従来の SRAM の一例を示す平面図である。

【図 8】図 7 における Y-Y' 線矢視断面図である。

【図 1】



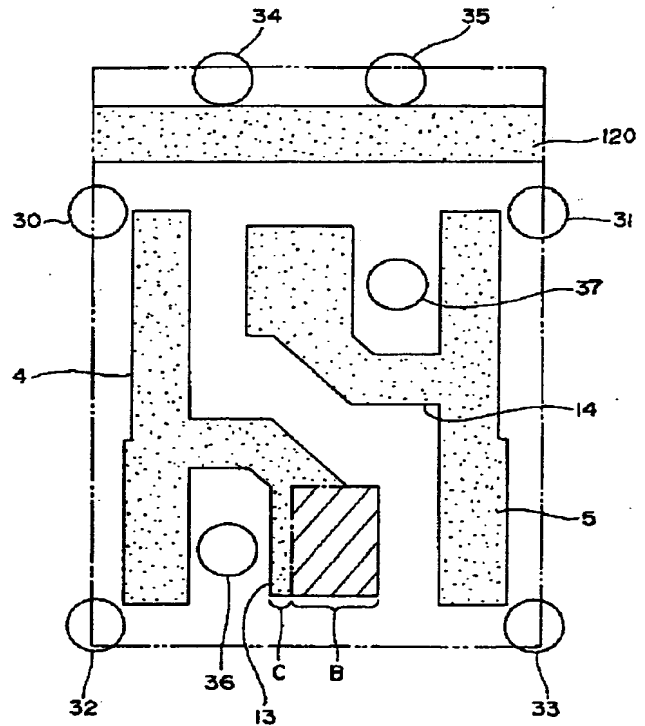
14

【図 9】本発明の課題の説明図である。

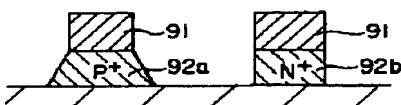
【符号の説明】

2…SRAM、3…半導体基板、4、5…ゲート電極配線、6、9…拡散層、13、14…引き出し配線、15…P'型埋め込みコンタクト部、16…N'型埋め込みコンタクト部、17…第1Poly-Si層、18…第2Poly-Si層、36…第7コンタクト部、37…第8コンタクト部、41、42、51、52…ゲート電極、100…フリップフロップ、101…第1インバータ、102…第2インバータ、200…メモリセル、Q1…第1ドライバTr.、Q2…第1負荷Tr.、Q3…第3ドライバTr.、Q4…第2負荷Tr.

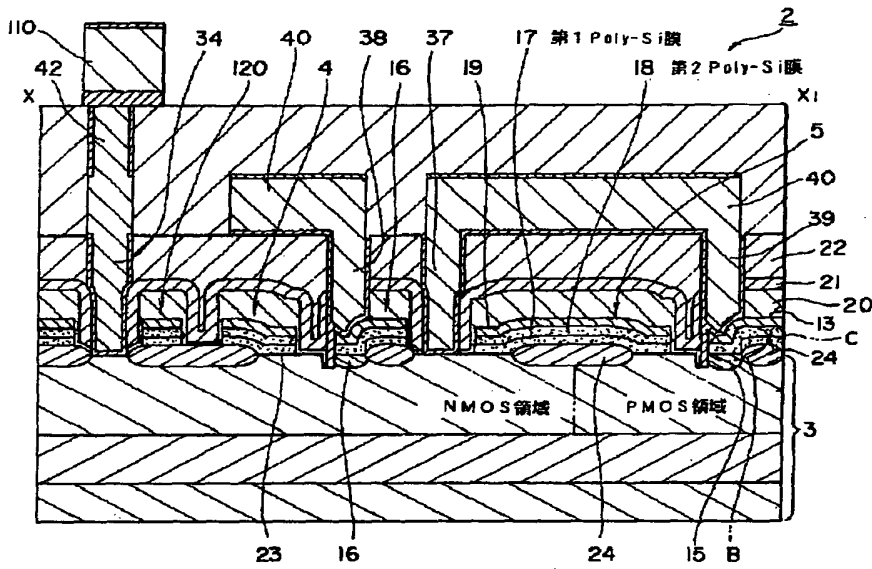
【図 3】



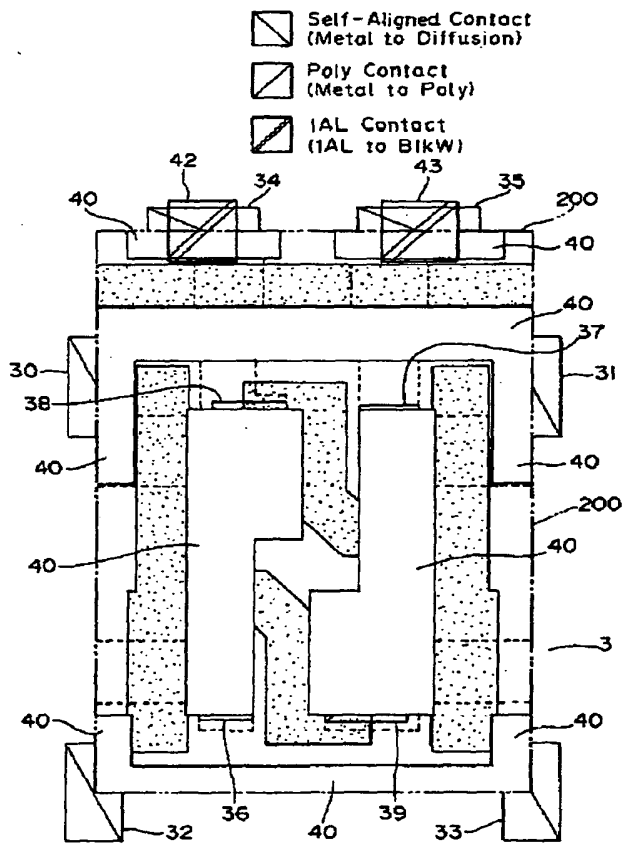
【図 9】



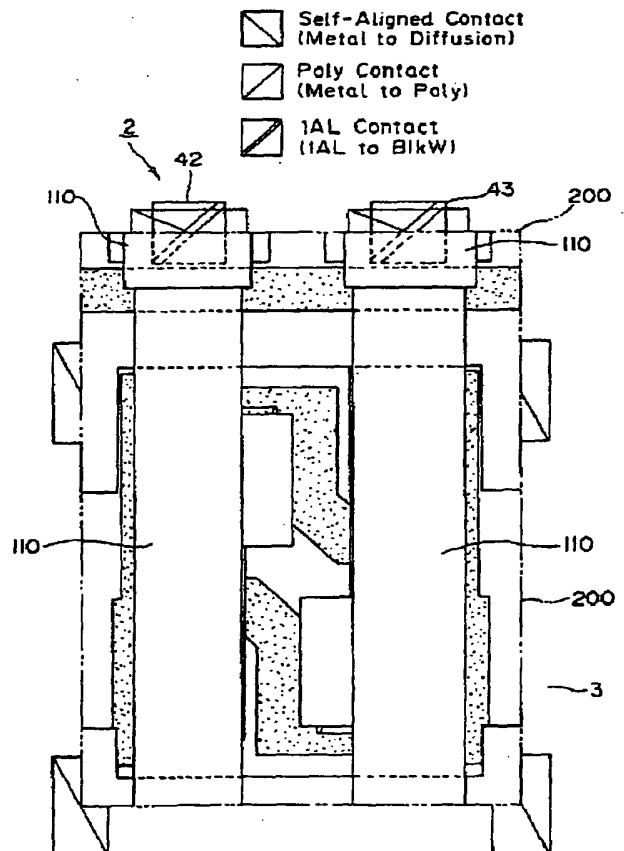
【 図 2 】



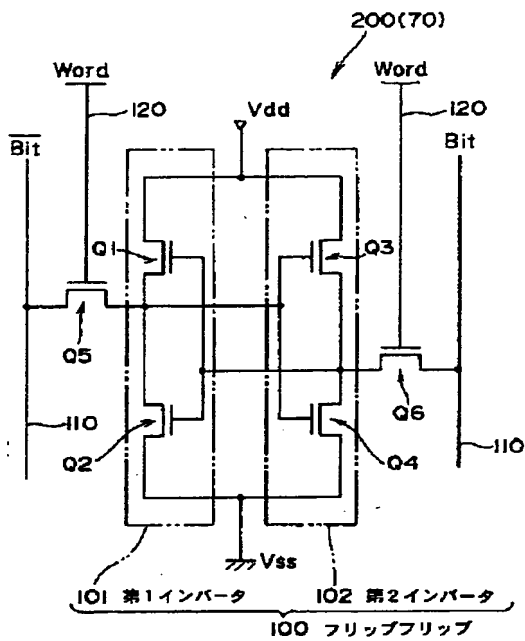
【 図 4 】



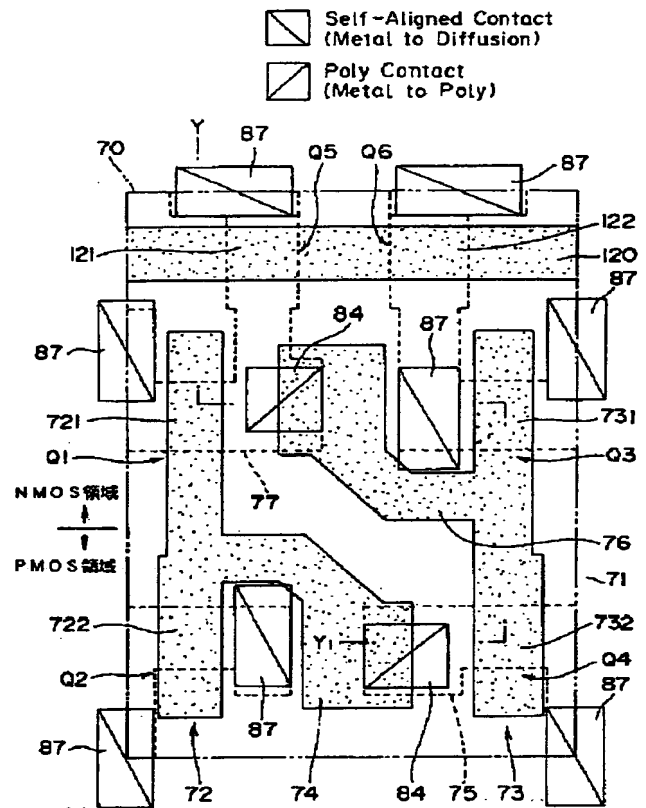
【 図 5 】



【図 6】



【図 7】



【図 8】

